

Tema: Retardos en Circuitos Integrados: Fundamentos
Objetivos: Comprender el origen de los retardos en FPGAs y su relación con el *fanout*
Bibliografía: Apuntes de clases.

Problemas Propuestos

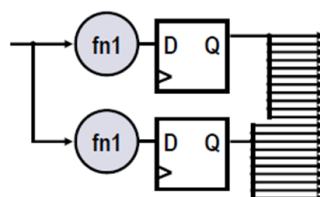
1. ¿Cuál es la definición de capacidad eléctrica? ¿Qué expresión modela la capacidad de un condensador plano infinito?
2. ¿Por qué la capacidad total de capacitores en paralelo es la suma algebraica de las capacidades de cada uno?
3. ¿Cuál es la fórmula de la tensión en un capacitor en función del tiempo cuando se carga a: a) tensión constante y b) corriente constante.
4. ¿Qué corriente constante es necesaria para cargar una capacidad de 0,003 pF de modo que alcancen una tensión de 1,8 voltios en 100 ps?
5. Repita el ejercicio anterior considerando que ahora deben cargarse un millón de capacidades de 0,003 pF?
6. A) ¿Qué corriente constante es necesaria para cargar una capacidad de 8 pF a 3,3 Volts (1 lógico) en 100 ps.
B) Repetir para 8 pF.

Observe que 0,003 pF es un valor cercano a la capacidad de la entrada de una puerta, mientras que 8 pF es cercano a la capacidad de un *pad* de salida.

7. La tabla adjunta corresponde a la tecnología ASICs *Standard Cells* de ATMEL. Indica la resistencia y capacidad (por milímetro de longitud) de una pista metálica en función del ancho (*width*) de dicha pista. ¿Por qué la resistencia baja en función del “*width*” mientras que la capacidad sube?

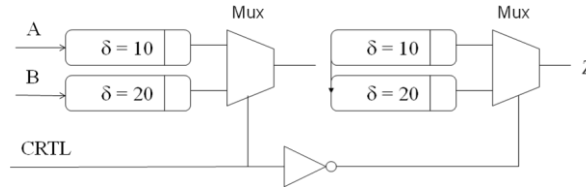
Width ECPD07 metal1	Ohm/mm	pF/mm
1.2um	100	0.14
2.0um	60	0.17
5.0um	24	0.28

8. ¿De acuerdo con lo anterior, qué capacidad tiene aproximadamente una pista de 80 μm de largo? (equivalente a 80×10^{-6} metros, similar a la longitud media del diámetro de un cabello humano).
9. Defina los siguientes términos: Retardo Intrínseco y Extrínseco, *Load*, *Driving*, *Fan-in*, *Fan-out*, *Rise-time*, *Fall time*, *duty-cycle* y *slew-rate*.
10. ¿Por qué las pistas globales (pistas de elevado *fanout* o que “van a muchos sitios”) son lentas?
11. ¿Cómo se puede reducir el retardo de una pista con elevado *fanout*? Explique la técnica de paralización a nivel *fanout* para reducir la carga capacitiva de una pista (Fuente figura: Xilinx Inc.)



12. Explique las acciones que puede probar un/a diseñador/a para reducir la longitud de pistas en tecnología FPGA con el objeto de bajar su retardo.

13. La frecuencia máxima de operación de un circuito se puede calcular con dos herramientas: simulador *post-layout* y el *timing analyzer*. Cada herramienta puede dar lugar a un resultado distinto. Explique el porqué.
14. Explique el concepto de “camino falso” (*false path*) y explique cómo afecta uno de estos caminos a las herramientas de estimación de tiempo. Indique tres ejemplos de caminos falsos.
15. Explique por qué una señal global de *reset* puede ser un camino falso.
16. La figura adjunta muestra un circuito genérico. Enumere todos los caminos (paths) que encontraría el analizador estático de tiempos y cuál sería (según dicha herramienta) el peor camino y cual el peor camino realmente.



17. Explique para qué sirve la siguiente tabla (Reproducido de Actel Corp):

Temperature and Voltage Derating Factors

(Normalized to Worst-Case Commercial, $T_J = 70^\circ\text{C}$, $V_{CCA} = 2.3\text{V}$)

V_{CCA}	Junction Temperature (T_J)						
	-55	-40	0	25	70	85	125
2.3	0.75	.079	0.88	0.89	1.00	1.04	1.16
2.5	0.70	0.74	0.82	0.83	0.93	0.97	1.08
2.7	0.66	0.69	0.79	0.79	0.88	0.92	1.02

18. La tabla adjunta muestra los retardos de propagación de una puerta Standard Cell del fabricante AMI. Responda a las siguientes preguntas:

AMI350LXSC 0.35 micron CMOS Standard Cell

Propagation Delays (ns)

Conditions: $T_J = 25^\circ\text{C}$, $V_{DD} = 2.5\text{V}$, Typical Process

AA21	Number of Equivalent Loads		1	4	8	13	17 (max)
	From: Any Input	t_{PLH}	0.237	0.418	0.645	0.926	1.156
	To: Q	t_{PHL}	0.222	0.374	0.558	0.779	0.956

- Porqué el retardo aumenta cuando aumenta el “*Number of Equivalent Loads*”.
- Los retardos anteriores se especifican para 25°C . ¿A qué corresponde esta temperatura: a la temperatura interna del chip o a la del ambiente en el cual se encuentra el mismo? ¿Cuál de las dos es mayor y por qué?